Procesory 16-bitowe zaczynają już wkraczać do konstrukcji hobbystycznych (podobno nawet w kraju). Wydawałoby się, że polski amator nie powinien przeżywać rozterek związanych z wyborem typu jednostki centralnej, skoro profesjonaliści zdecydowali się na 8086. Wybór ten został jednak zdeterminowany przez spodziewane dostawy tego układu z ZSRR. Dostawy te jeśli faktycznie nastąpią — będą miały, minimalny wpływ na zaopatrzenie hobbystów. Tak więc mogą się oni kierować bardziej zdrowo-rozsądkowymi przesłankami. Mikroprocesor 68000 ma bez wątpienia większe możliwości niż 8086. W oparciu o niego zbudowano LISE, MACINTOSHA, a nawet wzbudzający duże zainteresowanie SINCLAIR QL. E.M. Carter i A.B. Bonds zaprezentowali w piśmie BYTE konstrukcję, której całkowity koszt w amerykańskich warunkach nie przekracza 200 dolarów. Aby ich konstrukcja nabrała życia, trzeba ją podłączyć przez kanał V24 do jakiegoś terminala. Ten słaby punkt może okazać się bardzo użyteczny w naszych warunkach. Wykorzystując poprzednią 8-bitową konstrukcję, mamy wstępnie rozwiązany problem sterownika CRT, obsługi klawiatury, a może nawet współpracy z dyskami elastycznymi. Przez tego typu przystawkę pozwolimy naszemu staremu komputerowi na przeżycie drugiej młodości.

Jednopłytkowy mikrokomputer VU68K

Przedstawione poniżej rozwiązanie powstało na Uniwersytecie Vanderbilt w USA. Jest przykładem minimalnego systemu wykorzystującego mikroprocesor M68000 firmy MOTOROLA. Było jednak optymalizowane pod względem kosztów z perspektywy rynku USA. W naszych warunkach niewątpliwie celowe będzie wprowadzenie pewnych zmian, które zależą jednak w znaczny sposób od indywidualnego podejścia konstruktora. Dlatego też przedstawimy układ takiej postaci, jak proponują go autorzy.

Mikroprocesor 68000 operuje na słowach o długości 16 bitów. Wynika stąd konieczność „podwójnego" stosowania układów pamięci, które cechuje organizacja bajtowa (8 bitów). Przyłączenie dwóch układów 6116 (CMOS — RAM) i dwóch 2716 (EPROM) do szyny danych daje potrzebne 16 bitów.

Dla komunikacji z otoczeniem zaproponowano dwa zintegrowane konwertery równoległo-szeregowe (6850 ACIA — ang. Asynchronous Comunications Interface Adapters). Dokonują one zmiany informacji z postaci szeregowej, przychodzącej spoza systemu, na równoległą — przyjmowaną przez mikroprocesor, i odwrotnie — otrzymywaną z procesora wysyłają zgodnie ze standardem RS232 (V24) do urządzeń zewnętrznych. Układy te spełniają podobną rolę jak 8251 w systemach intelowskich. Zastosowanie aż dwóch układów 6850 wynika z faktu, iż jeden jest przeznaczony do współpracy z konsolą operatorską, podczas gdy drugi może być wykorzystany dla wymiany informacji z innym systemem. Jeśli współpracujący mikrokomputer może także spełniać funkcję konsoli, wystarczy zastosować jeden układ 6850.

Układy IC14 i IC15 to konwertery poziomów napięciowych. Zamiast 1488 (nadajnik) i 1489 (odbiornik) można tu z równym powodzeniem wykorzystać nieco bardziej u nas popularne 75150 i 75154, a nawet konstrukcje na elementach dyskretnych. Ponieważ są to jedyne układy wymagające zasilania napięciami +12 V i —12 V, istotnym uproszczeniem całej konstrukcji byłoby ich wyeliminowanie. Jest to możliwe, jeżeli system, z którym odbywa się współpraca, jest oddalony nie więcej jak o kilkanaście centymetrów. Oczywiście połączenie musi wtedy również omijać konwertery poziomów w komputerze współpracującym.

Układ IC13 dostarcza sygnał sterujący częstotliwością transmisji szeregowej. Może on z powodzeniem zostać zastąpiony dowolnym innym rozwiązaniem stosowanym w krajowych konstrukcjach.

Dla prawidłowego funkcjonowania systemu niezbędna jest możliwość jego wyzerowania. W tym celu na wejście RESET (i HALT) przez co najmniej 100 ms musi być podany poziom niski. W rozwiązaniu zastosowano w tym celu specjalny przełącznik, wymagający przyciśnięcia zarówno dla włączenia, jak i wyłączenia. Przełącznik został „odkłócony" (drgania zestyków) przez przerzutnik zbudowany z dwóch bramek typu NAND.

ASYNCHRONICZNE I SYNCHRONICZNE OPERACJE NA SZYNIE SYSTEMOWEJ

Mikroprocesor 68000 został zaprojektowany z myślą o wykonywaniu asynchronicznych operacji na szynie systemowej. W rozwiązaniu takim przekazywanie danych nie jest uzależnione od cykli maszynowych mikroprocesora (tak jak to ma miejsce np. dla Z80 czy 8086), lecz od sygnału potwierdzającego, generowanego przez układ współpracujący. W mikrokomputerze VU68K asynchroniczna komunikacja odbywa się między układami pamięci a procesorem.

Uspołecznianie importera

Absurd ograniczeń przywozów komputerów osobistych do kraju wywołuje coraz większe oburzenie. Ale i gromki śmiech. Trudno mu zresztą nie ulec, przyjrzawszy się takiemu odpędzaniu czarownic.

Profesor Iwo Białynicki-Birula pisze do prezesa Głównego Urzędu Ceł:

„Postuluję bezzwłoczne zniesienie wymogu uzyskiwania specjalnych zezwoleń na przywóz do Polski komputerów osobistych. Można to po prostu uczynić przez zaliczenie tych urządzeń do elektronicznego sprzętu powszechnego użytku (poz. 58 pt 4 taryfy celnej). Nie ma, moim zdaniem, żadnej trudności z podaniem definicji taryfowej komputera osobistego, ponieważ urządzenia te są zawsze sprzedawane pod nazwą komputery osobiste (personal computer) bądź komputery domowe (home computer) i we wszystkich dowodach sprzedaży i instrukcjach obsługi używa się wyłącznie tych nazw. Zaliczanie komputerów osobistych do systemów komputerowych, objętych pozycją 23 taryfy celnej, jest anachronizmem i było już niejednokrotnie przedmiotem drwin w prasie. Na świecie produkuje się obecnie kilka milionów komputerów osobistych rocznie i liczba ta gwałtownie rośnie. Sprzedawane są one często w domach towarowych w stoiskach z zabawkami i stanowią niewątpliwie sprzęt powszechnego użytku, przede wszystkim dla młodzieży. Jeżeli Polska ma nadrabiać, a nie powiększać, lukę technologiczną w dziedzinie elektronizacji, to może się to odbywać tylko przy pełnej aktywizacji całego społeczeństwa. (...)

Jak może umotywować swoje podanie do Urzędu Celnego kilkunastoletni chłopiec, któremu wujek chce przysłać na Gwiazdkę komputer domowy? W krajach, które mamy doganiać, tacy właśnie chłopcy stanowić będą za kilka lat kadrę wybitnych fachowców elektroniki i informatyki, oswojoną od dziecinnych lat z komputerami."

Dziękujemy, Profesorze. Inkwizytora trzeba rozbrajać. W końcu weźmiemy go choćby śmiechem.

Postulat jest niepodważalny, jedynie słuszny. Podpisujemy się pod nim wszystkimi redakcyjnymi rękami. Ale jeśli już zakreślać horyzonty, to trzeba by postulat uzupełnić. Po pierwsze — aby przy okazji uproszczenia procedury przywozów nie podwyższono cła; po drugie — sprzęt mikrokomputerowy wyższej klasy powinien korzystać (przy obrocie w kraju) z ulg podatkowych. Powinięn. Oby nie został tylko śmiech.

Z ostatniej chwili: Inkwizytor osłabł — już nie wymaga pozwoleń. Szczegóły w tym miejscu za miesiąc.

ZBIGNIEW GLUZA

Ponieważ układy 6116 i 2716 nie generują same z siebie sygnału potwierdzającego, funkcję tę realizuje 4-bitowy licznik (IC4) sterowany sygnałem o częstotliwości 5 MHz. W chwili gdy procesor wystawi sygnał AS (informujący o podaniu adresu na szynę), do licznika wpisywana jest wartość początkowa 1100. Po czterech taktach zegara na wyjściu podłączonym do DTACK/ pojawia się stan 0, informując, że można już wprowadzać dane. W rozwiązaniu założono, że transfer danych możliwy jest w ciągu 800 ns.

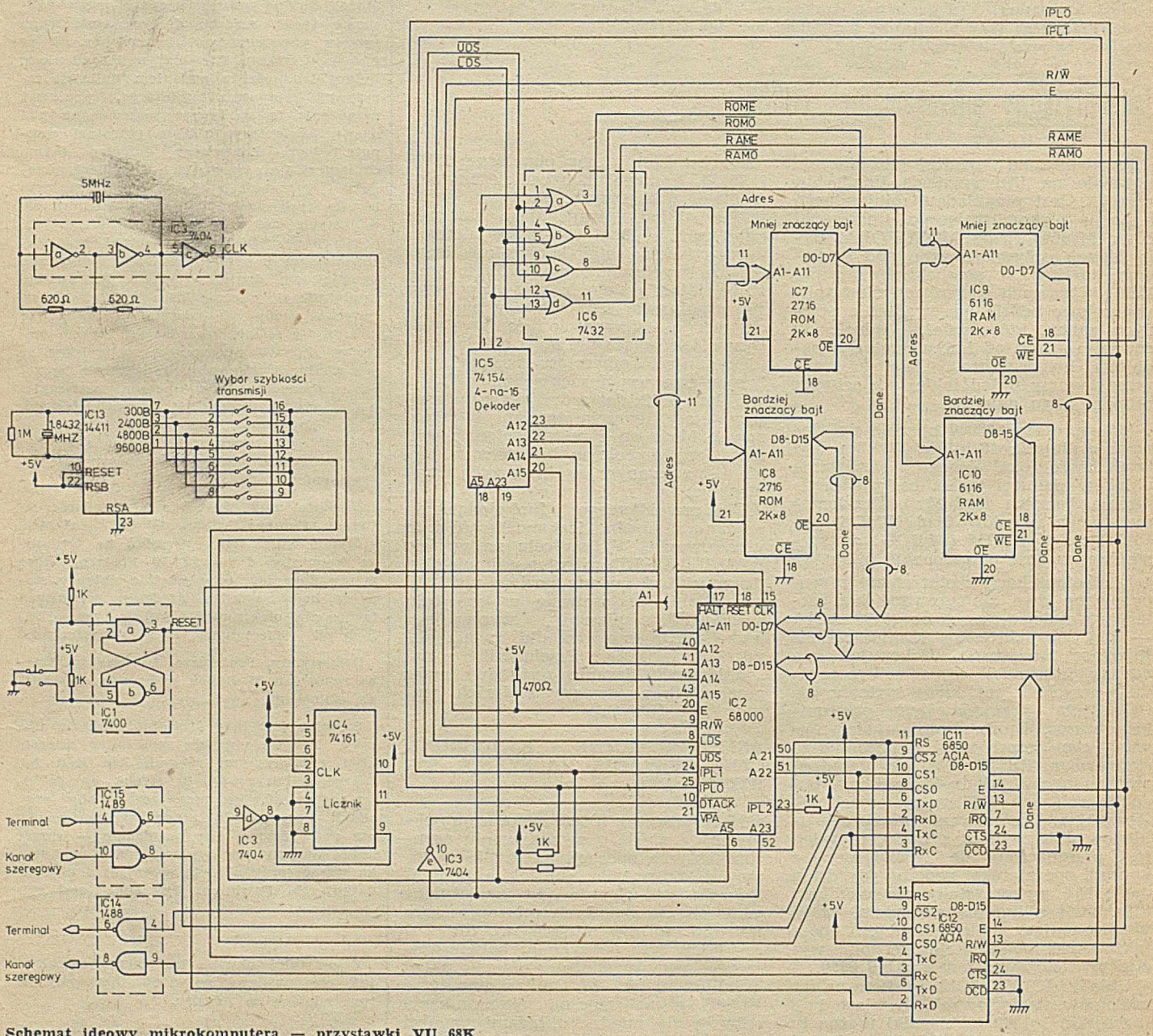
Mikroprocesor 68000 został zaprojektowany w taki sposób, by możliwe było również wykorzystanie bogatego zestawu układów ze starszej rodziny 6800. W tym celu wykorzystywane jest wejście VPA (ang. Valid Peripherial Address). Z chwilą gdy na szynie adresowej znajdzie się adres przypisany układowi peryferyjnemu z rodziny 6800, na wejście VPA/ powinien zostać podany poziom niski. Spowoduje to, że procesor przejdzie do wykonywania cyklu synchronicznego i wygeneruje stosowane w tym trybie pracy sygnały: VMA/ (ang. Valid Memory Address) oraz E (ang. Enable). Pierwszy z nich bywa wykorzystywany w logice wybierającej układ peryferyjny. Natomiast sygnał E w chwili gdy przejdzie w stan wysoki — aktywizuje wykonywanie operacji przez układ peryferyjny.

W omawianym rozwiązaniu tryb synchroniczny wykorzystywany jest przy współpracy z układami transmisji 6850 [1]. Układom tym przypisano adresy: $A00000_H$–$A00002_H$ i $C00000_H$–$C00002_H$. W momencie wystawienia ich przez procesor na szynę adresową, linia A23 znajduje się w stanie logicznym 1. Wykorzystując ten fakt, połączono poprzez inwerter wyjście tej linii z wejściem VPA/ mikroprocesora. Tak więc z chwilą wybrania dowolnego adresu, dla którego linia A23 jest w stanie logicznym 1, procesor przechodzi do wykonania operacji w trybie synchronicznym. Należy to uwzględnić przy ewentualnej rozbudowie systemu.

PODZIAŁ PRZESTRZENI ADRESOWEJ

Mikroprocesor 68000 ma 23 linie adresowe, co pozwala na uzyskanie po-

[1]) Asynchroniczny protokół transmisji realizowany przez układ 6850 nie ma nic wspólnego z synchronicznym trybem współpracy tego układu z procesorem



Schemat ideowy mikrokomputera — przystawki VU 68K

nad 8 mln różnych sekwencji adresowych. W tej olbrzymiej przestrzeni adresowej trzeba wydzielić obszary o rozmiarach 2 K, w których umieszczona zostanie przewidziana w rozwiązaniu pamięć. Ogólnie rzecz biorąc, można by wydzielić ponad 4 tys. takich obszarów. Oczywiście nie ma to sensu — pamięć o takich rozmiarach należałoby realizować z wykorzystaniem układów o znacznie większej pojemności (64 K lub nawet 256 K). Dlatego trzeba przyjąć kompromis, w którym pewna część potencjalnych możliwości 68000 nie zostanie wykorzystana.

Autorzy oferują w proponowanym rozwiązaniu zastosowanie pamięci o pojemności 4 K słów z możliwością rozszerzenia do 32 K słów. Linie adresowe A1...A11 są wykorzystywane do wyboru poszczególnych słów w ramach układów pamięci. Kolejne cztery linie A12...A15 służą do zdekodowania 16 bloków. W tym celu zostały doprowadzone do układu (IC5), realizującego funkcję dekodera 4 z 16. Wyjścia dekodera poprzez bramki typu OR (IC6) sterują wyborem poszczególnych układów pamięci.

Ponieważ szyna danych mikroprocesora 68000 jest 16-bitowa, a zastosowane układy pamięci dostarczają informację 8-bitową, zostały one przyłączone parami do bardziej i mniej znaczącego bajtu szyny danych. Mikroprocesor 68000 generuje dwa sygnały UDS/ (ang. Upper Data Strobe) i LDS/ (ang. Lower Data Strobe) sterujące rodzajem transmisji na szynie danych. Jeśli na obie linie podany został poziom niski, powinien nastąpić 16-bitowy transfer. Jeżeli — przykładowo — tylko LDS/ jest w stanie logicznym 0, to transmisja odbywa się jedynie po mniej znaczącym bajcie szyny. Sygnały LDS/ i UDS/ wykorzystywane są w omawianym rozwiązaniu do kluczowania sygnałów wyboru bloku przychodzących z dekodera (IC5).

OBSŁUGA PRZERWAŃ

Mikroprocesor 68000 ma dwa tryby obsługi zewnętrznych przerwań. W pierwszym — urządzenie zgłaszające przerwanie powinno na mniej znaczącym bajcie szyny danych podać tzw. wektor przerwania, czyli informację identyfikującą przyczynę przerwania i wykorzystywaną przez procesor do wyznaczenia adresu początkowego procedury obsługi. Przez wymuszenie niskiego poziomu na wejściu DTACK/ mikroprocesor jest informowany, że urządzenie wprowadziło swój wektor na szynę danych.

W drugim trybie — wektor przerwania generowany jest automatycznie przez mikroprocesor w zależności od poziomu zgłoszonego przerwania. Poziomów przerwań jest siedem i są one określane na podstawie stanu logicznego trzech linii zgłoszeń: ILP2/, ILP1/ oraz ILP0/. Sekwencja logiczna 000 oznacza, że nie jest zgłaszane przerwanie; 001 oznacza, że jest zgłaszane przerwanie na poziomie pierwszym, itd. W tym trybie urządzenie zgłaszające przerwanie musi podać poziom niski na wejście VPA/.

W chwili gdy procesor przyjmie zgłoszenie przerwania na liniach adresowych A1...A3, pojawi się sekwencja logiczna odpowiadająca poziomowi przyjętego przerwania. Na pozostałych liniach adresowych procesor wymusza poziom wysoki.

W mikrokomputerze VU68K wykorzystywany jest drugi tryb obsługi przerwań. Niski poziom na wejściu VPA/ powstaje automatycznie, gdyż jest ono sterowane poprzez inwenter linią A23. Przerwania są zgłaszane przez układy 6850 z wykorzystaniem poziomów 1 i 2. W tym celu wykonane zostały podłączenia do ILP0/ i ILP1/, natomiast na ILP2/ jest stale podawany poziom wysoki (uwaga: sekwencja 000 oznacza, że na wszystkie wejścia podawany jest poziom wysoki). Przyjęte rozwiązanie daje możliwość niezależnej obsługi przerwań dla obu kanałów szeregowych.

Jak wynika z powyższego omówienia, mikroprocesor 68000 jest wyjątkowo „elastyczny" i bez większych problemów VU68K można zaadaptować do naszych krajowych warunków. Chyba warto spróbować!

AJP

LITERATURA

[1] Bonds A. B., Carter E. M.: The VU68K Single Board CompuTER. BYTE, January 1984

[2] MC68000 16-Bit Microprocesor User's Manual. MOTOROLA

[3] MOSTEK 1982/1983 Microelectronic Data Book

[4] MC68000 Technical Features. MOTOROLA

[5] EF68000 HMOS 16-Bit Microprocessor. THOMSON-EFCIS.

Wielu czytelników zapewne będzie zbulwersowanych ilością miejsca, które poświęcamy dyskom elastycznym. Gdybyśmy jednak uzależniali nasze publikacje od szans zdobycia w kraju określonego sprzętu, to bylibyśmy zmuszeni do opisywania konstrukcji z czasów, gdy komputery budowano na przekaźnikach elektromagnetycznych. Wybierając rozwiązanie, w którym zastosowano nieintelowski układ FDC (ang. Floppy Disc Controler) kierowaliśmy się względami ekonomicznymi, a nie płonną nadzieją, że może kiedyś któryś z krajów RWPG zdoła skopiować tego typu układ (nie wiedzieć czemu — wszyscy sądzą, że jeżeli już, to będzie to układ INTELA). Poniżej publikujemy rozwiązanie sprzętowe. Za miesiąc napiszemy trochę o oprogramowaniu.

Sterowanie napędami dysków elastycznych (1)

Na Zachodzie istnieje już standard dla pamięci dyskowych, który pozwala na odczytanie i zapis zawartości plików na sprzęcie różnych producentów. Standard ten dotyczy:

— **gęstości ścieżek** — 48 tpi (ang. track per inch — ścieżek na cal) lub 96 tpi

— **gęstości zapisu** — czyli częstotliwości zegara zapisu

— **liczby ścieżek** — 35, 40, 77, 80 lub 96

— **prędkości obrotowej** dla minidyskietek (ang. Mini Floppy) 5,25″ — 300 obr./min.

— **złącza sterownika z układami napędu** (typ złącza oraz przydzielenie sygnałów)

— **wielkości nośnika pamięci** (dyskietek) — 5,25″ lub 8″ (ang. Maxi Floppy) oraz nowy standard 3,5″ (ang. Micro Floppy) wprowadzony przez firmę SONY, a stosowany w mikrokomputerach 16-bitowych: LISA, MACINTOSH, IBM PC.

Opisany sterownik stacji dysków elastycznych projektowany był z myślą o podłączeniu doń minidysków oraz dysków 8″. Możliwe jest również sterowanie stacją dysków 3,5″.

Sterownik umożliwia współpracę z czterema napędami dysków elastycznych, przy czym jedną z cech uniwersalności jest możliwość sterowania j e d n o c z e ś n i e dyskami 8″ i 5,25″. Na przykład:

dysk. o nr. 0 — 8″ SD — pojedyncza gęstość
dysk o nr. 1 — 8″ SD — pojedyncza gęstość
dysk o nr. 2 — 5,25″ SD — pojedyncza gęstość
dysk o nr. 3 — 5,25″ DD — podwójna gęstość.

O typie dysku i gęstości zapisu decyduje oprogramowanie.

Prezentowane rozwiązanie pozwala wykorzystać dowolny układ z rodziny WD 179X (lub SAB 179X). Różnice pomiędzy poszczególnymi reprezentantami tej rodziny zaprezentowane są w tabeli 1.

Sposób adresowania poszczególnych rejestrów FDC 179X przedstawiono w tabeli 2.

Jeżeli $A_2 = 1$, to przy wykonywaniu operacji zapisu trafia ona do Rejestru Wyboru (U11). Odczyt następuje natomiast z Rejestru Stanu (U4).

Rejestr Wyboru (ang. SELECT REG) zrealizowany został w oparciu o sześciokrotny przerzutnik D. Podczas zapisu poszczególne bity danych mają następujące znaczenie:

(warunki: $A_2 = 1$, A_1, $A_0 = X$, CLK = 0 WR/ = 0)
b_0 — SEL 0 — wybór sterownika o numerze 0
b_1 — SEL 1 — wybór sterownika o numerze 1
b_2 — SEL 2 — wybór sterownika o numerze 2
b_3 — SEL 3 — wybór sterownika o numerze 3
b_4 — SD/DD — 0 — podwójna gęstość
1 — pojedyncza gęstość
b_5 — MINI/MAXI — 0 — maxi floppy — 8″
1 — mini floppy — 5,25″
b_6 — dowolna wartość
b_7 — dowolna wartość.

Uwaga: Tylko jeden z bitów b_0...b_3 może być jedynką logiczną (pozostałe muszą być zerem logicznym), bowiem tylko jedna ze stacji dysków może być aktywna w danym momencie.

Znaczenie poszczególnych bitów Rejestru Stanu jest analogiczne do linii FDC przyłączonych do U4 (rys. 1).

Sterownik napędów dyskowych jest wykonany w postaci oddzielnego modułu współpracującego z określonym typem magistrali systemu mikroprocesorowego. Dla innego typu magistrali należy proponowany układ odpowiednio zmodyfikować:
— ustalić, czy układ umieszczony będzie w przestrzeni adresowej pamięci („memory mapping"), czy też w przestrzeni adresowej układów we-wy
— ustalić adres bazowy modułu, rezerwując dla niego przestrzeń adresową ośmiu bajtów.

Układ sterownika pracuje z generatorem kwarcowym o częstotliwości podstawowej 8 MHz. Pozostałe częstotliwości są wytwarzane za pomocą licznika binarnego 7493 (U16). Sygnał CLK = 1 MHz dla „Mini" i 2 MHz dla „Maxi" jest wybierany bitem Q5 Rejestru Selekcji (U11). Sygnał RCLK jest wytwarzany w prostym, ale skutecznym układzie licznikowym, zrealizowanym na układach U15 i U14. Sygnał

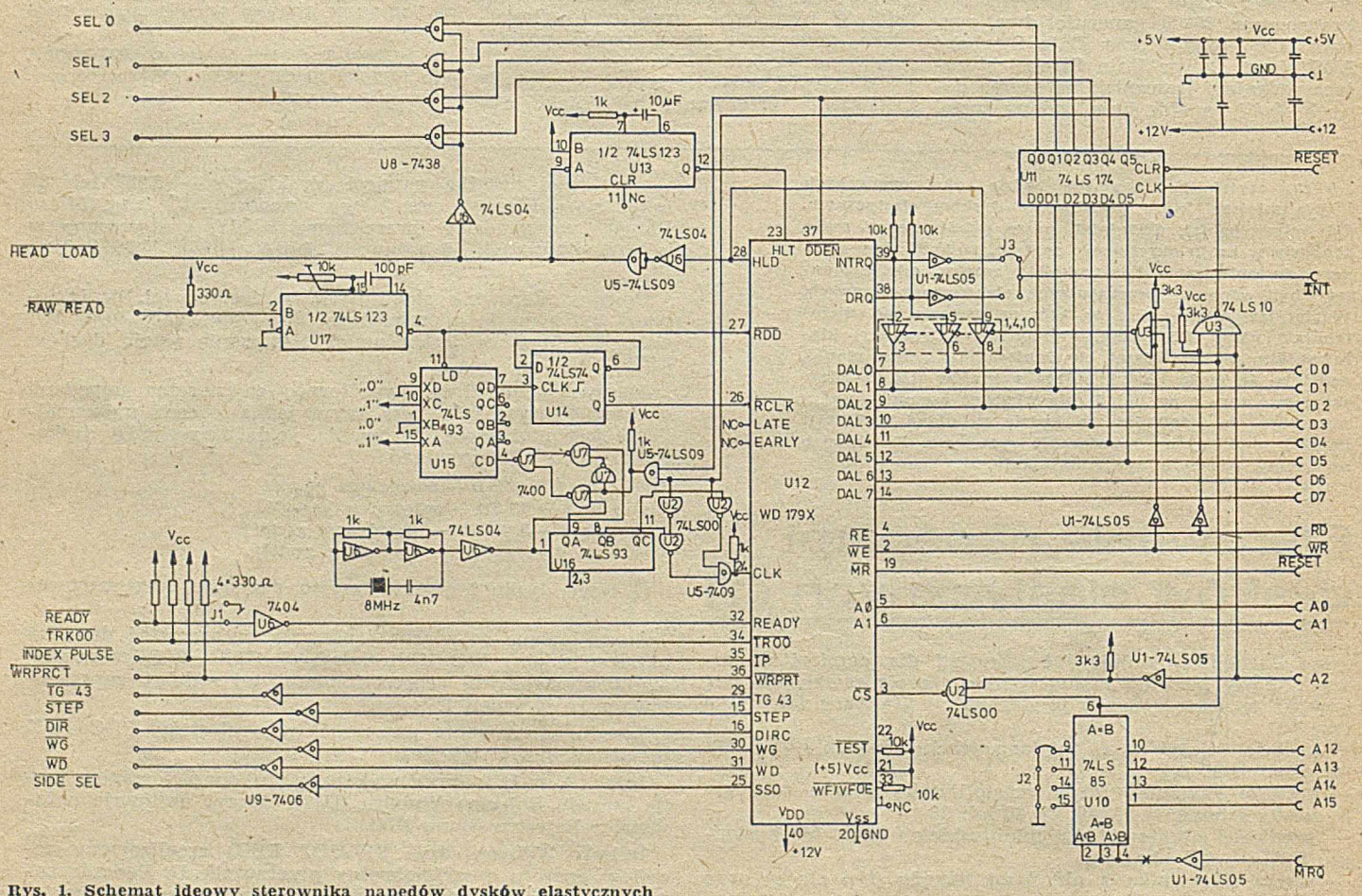
Tabela 1. Charakterystyka układów z rodziny WD 179 X

Możliwości \ Typ	1791	1792	1715	1794	1795	1717
FM/SD pojedyncza gęstość	×	×	×	×	×	×
MFM/DD podwójna gęstość	×		×		×	×
Prosta szyna danych			×	×		×
Zanegowana szyna danych	×	×			×	
Kompensacja przy zapisie	×	×	×	×	×	×
Wyjście wyboru strony (SSO)					×	×

FM — modulacja częstotliwości (umożliwia zapis o pojedynczej gęstości) — zgodna z formatem IBM 3740
MFM — zmodyfikowana modulacja częstotliwości (umożliwia zapis o podwójnej gęstości) — zgodna z formatem IBM 34

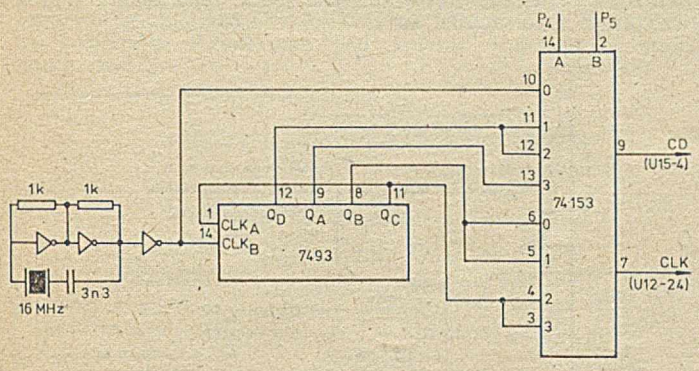
Tabela 2. Sposób adresowania rejestrów FDC 179 X

A_2	A_1	A_0	RE/ = 0	WE/ = 0
0	0	0	STATUS REG	COMMAND REG
0	0	1	TRACK REG	TRACK REG
0	1	0	SECTOR REG	SECTOR REG
0	1	1	DATA REG	DATA REG



Rys. 1. Schemat ideowy sterownika napędów dysków elastycznych

zegarowy jest dostarczany do układu U15 i multipleksowany przez układ bramek U7 i U5.

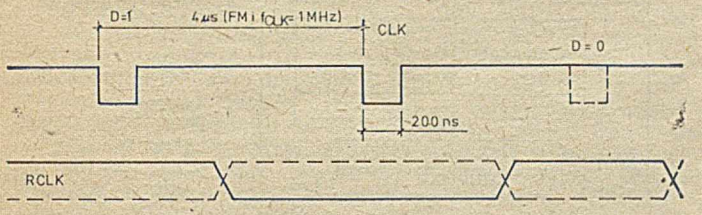


Rys. 2. Modyfikacja umożliwiająca realizację DD

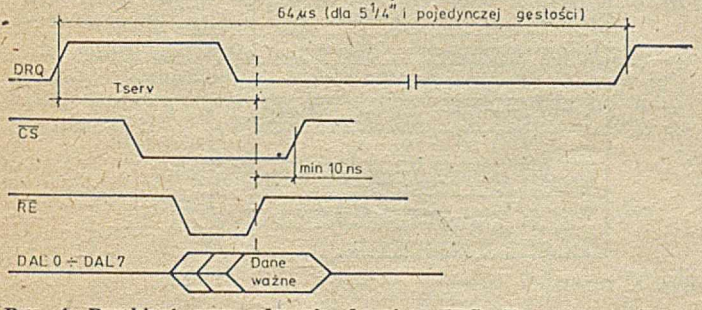
P_4 { 0 — podwójna gęstość; 1 — pojedyncza gęstość } P_5 { 0 — dysk 8"; 1 — dysk 5,25" }

Wersja pokazana na schemacie (rys. 1) nie nadaje się do realizacji odczytu z dysków 8" dla podwójnej gęstości. Problem ten można rozwiązać[1]) zmieniając częstotliwość zegara generatora kwarcowego na 16 MHz oraz wstawiając multiplekser. Fragment takiej poprawki pokazuje rys. 2.

Wszystkie wyjścia sterujące sprzęgu z napędem dyskietek powinny być typu: otwarty kolektor. Natomiast wejścia sygnałów przychodzących ze stacji dyskowych powinny być przez rezystor 220 lub 330 przyłączone do napięcia +5 V.



Rys. 3. Sygnał odczytywany z dysku wraz z odtworzonym sygnałem zegarowym (polaryzacja sygnału RCLK jest nieistotna)



Rys. 4. Przebiegi przy odczycie danej z FDC; T_{serv} = max 47 µs dla „Mini"-SD; T_{serv} =max 23,5 µs dla „Mini" — DD

Opis Sygnałów FDC 179X

MR/ — zerowanie układu — reaguje na poziom niski [2])

WE/ — niski poziom na tym wejściu (gdy CS/ = 0) powoduje zapis danych z linii DAL0...DAL7 do rejestru ząadresowanego bitami A_1, A_0

RE/ — jak wyżej, lecz — odczyt

A_0, A_1 — linie wyboru rejestru

CS/ — linia wyboru układu

DAL0...DAL7 — linie szyny danych

CLK — wewnętrzny zegar odniesienia dla zapisu lub odczytu informacji z dysku dla stacji 5,25" (fCLK = 1MHz), natomiast dla stacji 8" fCLK = 2MHz

DRQ — żądanie odczytu lub zapisu danych (aktywne w stanie 1), zerowane po odczytaniu lub zapisie rejestru danych (A_1 = 1, A_0 = = 1)

INTRQ — zgłoszenie przerwania — (aktywne w stanie 1), ustawiane po zakończeniu wykonania każdego rozkazu FDC 179X; zerowane po odczytaniu Rejestru Statusu

STEP — impuls przesuwający głowicę

DIRC — kierunek przesuwu głowicy; „1" — głowica przesuwania w kierunku osi obrotu dysku; „0" — gdy głowica przesuwana w kierunku przeciwnym do osi obrotu dysku

EARLY / LATE } kompensacja zapisu (tutaj nie wykorzystana)

HLT — czas dociskania głowicy

RCLK — sygnał zegarowy wydzielony z sygnału odczytywanych danych

RD/ — sygnał odczytywanych danych

HLD — sterowanie dociskiem głowicy do nośnika informacji (dyskietki)

WG — bramka zapisu aktywna podczas zapisu informacji na dysk

WD — zapisywane dane — 250 ns (MFM) lub 500 ns (FM), impulsy zegara i danych; zapisywane dane mają specjalne znaczniki pól (format danych i format zegara)

READY — gotowość stacji dysków do pracy; przy sterowaniu minidysków, które nie zawsze posiadają wyjściowy sygnał READY, można podłączyć Vcc (+5 V)

TR00 — informacja o tym, że głowica znajduje się nad ścieżką zerową

IP/ — informacja o położeniu fizycznego początku nośnika

WPRT/ — informacja wprowadzona w momencie wysłania rozkazu zapisu („0" — zapis na dysk nie jest dokonywany)

DDEN/ — wybór trybu dla pojedynczej lub podwójnej gęstości („0" — podwójna gęstość, „1" — pojedyncza gęstość).

Tabela 3. Opis sprzęgu napędów dyskowych „5,25"

Numer masy	Numer sygnału	Opis
1	2	
3	4	[Sterowanie — docisk głowicy] (ang. HEAD LOAD)
5	6	Wybór dysku 3 (ang. SEL 3)
7	8	Impuls odniesienia (ang. INDEX PULS)
9	10	Wybór dysku 0 (ang. SEL 0)
11	12	Wybór dysku 1 (ang. SEL 1)
13	14	Wybór dysku 2 (ang. SEL 2)
15	16	Załączenie dysku (ang. MOTOR ON)
17	18	Wybór kierunku przesuwu (ang. DIRECTION)
19	20	Impuls kroku (ang. STEP)
21	22	Dane zapisywane (ang. WRITE DATA)
23	24	Bramka zapisu (ang. WRITE GATE)
25	26	Ścieżka 0 (ang. TRACK 00)
27	28	Zapis zabroniony (ang. WRITE PROTECT)
29	30	Dane odczytywane (ang. READ DATA)
31	32	Wybór strony (ang. SIDE SEL)
33	34	[GOTOWOŚĆ] (ang. READY)

Sygnały opisywane w nawiasach kwadratowych występują nie we wszystkich napędach dyskowych. Przedstawiony zestaw numerów wyprowadzeń — i przyporządkowania im sygnałów — jest zgodny z powszechnie na Zachodzie stosowanym standardem ANSI.

MIROSŁAW PACZEŚNY
CSK, Gdynia

[1]) W publikacjach zachodnich do realizacji odczytu MFM z dyskietek 8" zaleca się stosowanie układu z zamkniętą pętlą fazową; proponowane przez autora rozwiązanie działa, trudno jednak ocenić jego niezawodność — przyp. AJP

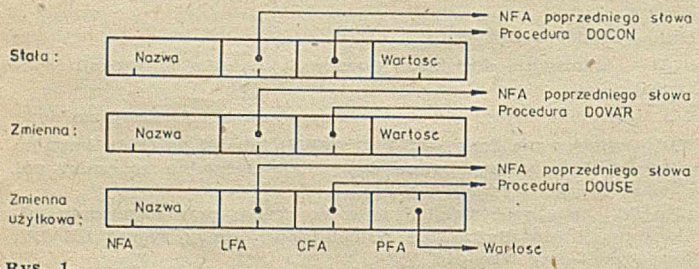
[2]) Zapis MR/ jest równoważny z $\overline{MR}$. Taką konwencję zapisu negacji zastosowano w tekście całego artykułu.

To już ostatni odcinek materiału o implementacji fig-FORTHA. Sądzimy, że zamieszczone informacje były dla zwolenników tego języka użyteczne lub przynajmniej ciekawe. Ci zaś, którzy wolą traktować swój komputer jak czarną skrzynkę, z pewnością ucieszy wiadomość, że już niebawem powrócimy do zapowiadanej niegdyś formuły kącika FORTHA. Mamy już za sobą problemy natury szkoleniowej, możemy więc skupić się na rzeczach ciekawszych.

Jak zainstalować FORTH (3)

STAŁE, ZMIENNE I ZMIENNE UŻYTKOWE

Na rysunku 1 przedstawiono postać definicji katalogowych dla stałych, zmiennych i zmiennych użytkowych. Różnią się one odwołaniem do procedury wykonawczej, umieszczonym w polu kodu CFA, oraz znaczeniem 2-bajtowego pola parametru PFA. Sposób definiowania i wykorzystania tych słów przedstawia tabela 1.



Rys. 1.

Definiowanie i wykorzystywanie stałych i zmiennych

Obiekt	Sposób definiowania	Pobranie wartości	Zmiana wartości
stała	wartość CONSTANT nazwa	nazwa	niedozwolona
zmienna	wartość VARIABLE nazwa	nazwa @	wartość nazwa!
zmienna użytkowa	numer USER nazwa kolejny	nazwa @	wartość nazwa!

Stała służy do przypisywania symbolom wartości, pamiętanych w polu PFA. Procedura DOCON, w przypadku odwołania do stałej, umieszcza jej wartość na stosie. Wartość stałej zostaje ustalona w czasie jej definiowania.

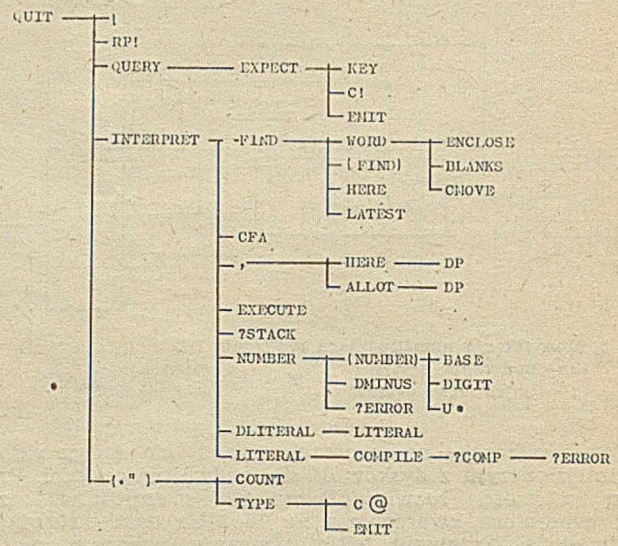
Zmiennej również nadaje się wartość w czasie definiowania. Można ją jednak zmieniać, gdyż odwołanie do zmiennej powoduje umieszczenie na stosie jej adresu, a nie wartości.

W polu PFA zmiennej użytkowej (rys. 1) podawany jest adres, pod którym umieszczono jej wartość. Podczas definiowania zmiennej użytkowej, adres ten ustalany jest wewnątrz przeznaczonego na ten cel obszaru USER AREA (na podstawie podanego kolejnego numeru). Wartości zmiennych użytkowych można pobierać i nadawać podobnie jak w przypadku zwykłych zmiennych; można też to zrobić przez wpisanie bloku danych do obszaru USER AREA. Taki sposób stosuje się przy nadawaniu wartości początkowych zmiennym użytkowym po wyzerowaniu systemu.

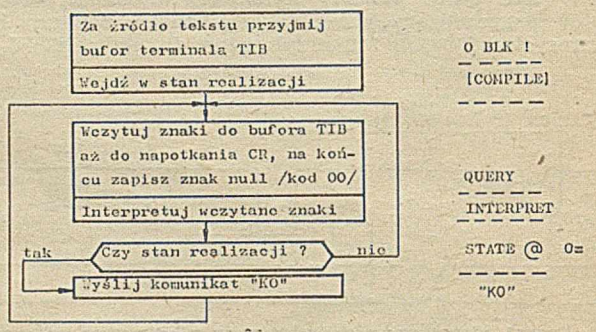
INTERPRETER ZEWNĘTRZNY

Interpreter zewnętrzny jest procedurą organizującą wczytywanie tekstu źródłowego i jego interpretację. Jest on jednym ze słów FORTHA i nosi nazwę **INTERPRET**. W poprzednim odcinku przedstawiono ciąg definicji prowadzących do zdefiniowania tego słowa. Obecnie omówione zostanie dokładniej jego działanie. Na rysunku 2 przedstawiono hierarchiczne zależności pomiędzy słowem INTERPRET i innymi słowami kluczowymi. INTERPRET może być wywołany przez **QUIT** (rys. 3) albo przez **LOAD** (rys. 4).

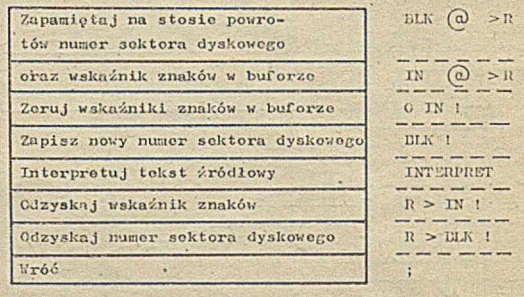
Do QUIT wchodzi się po wyzerowaniu systemu bądź po obsłudze błędu. QUIT jest nieskończoną pętlą; w każdym przebiegu pętli interpretowana jest jedna linia tekstu wprowadzonego z terminala.



Rys. 2.



Rys. 3. QUIT

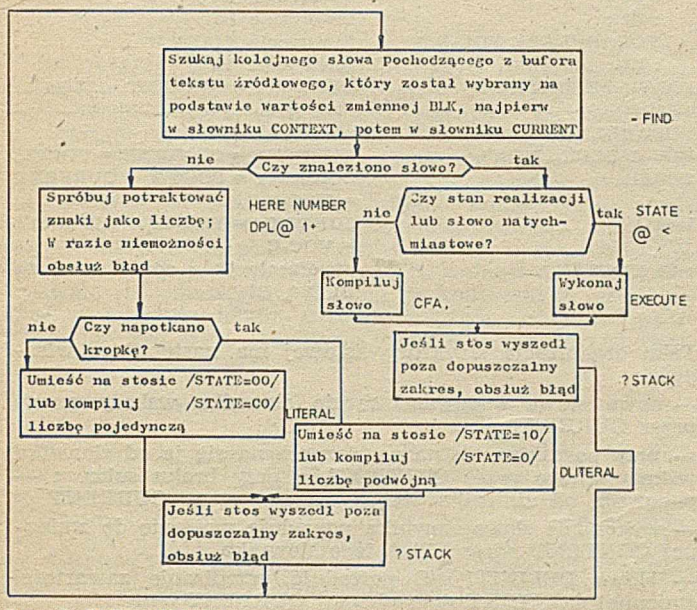


Rys. 4. LOAD

Zmienna STATE decyduje o sposobie interpretacji wczytanego słowa lub liczby. Początkowo system znajduje się w stanie realizacji (zmienna STATE = 0), zaś tekst źródłowy pobierany jest z terminala (zmienna BLK = 0). W stanie realizacji napotkane słowa tekstu źródłowego są wykonywane natychmiast. Stan systemu oraz źródło tekstu mogą ulec zmianie po wejściu do INTERPRET (rys. 5). Napotkanie w tekście źródłowym słowa: powoduje po jego wykonaniu (sterowanym słowem EXECUTE) przejście do stanu kompilacji (STATE = C0), który trwa aż do napotkania słowa;, które powoduje przywrócenie stanu realizacji (STATE = 0).

Z kolei napotkanie słów **n LOAD** (rys. 4), gdzie **n** jest numerem sektora na dysku, powoduje podstawienie BLK = = n, po czym następuje wywołanie INTERPRET i interpretacja słów z bufora pamięci przechowującego zawartość te-

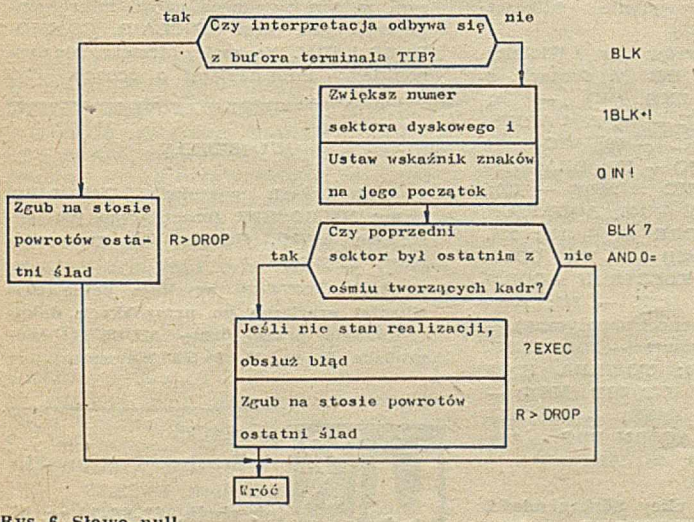
go sektora. Przy wyjściu z procedury LOAD przywracana jest poprzednia wartość zmiennej BLK — i następuje powrót do interpretacji z poprzednio używanego bufora. Dozwolone są zagnieżdżone wywołania LOAD, przy czym liczba poziomów ograniczona jest jedynie pojemnością stosu powrotów.



Rys. 5. INTERPRET

INTERPRET, podobnie jak QUIT, jest realizowany w pętli. Nie jest to jednak pętla nieskończona, choć na pierwszy rzut oka mogłoby się tak wdyawać. Zarówno na końcu bufora terminala, jak i każdego z ośmiu buforów dyskowych, znajduje się znak **null** (kod 00). Jest on nazwą słowa, przedstawionego na rysunku 6. Wykonanie tego słowa powoduje — zawsze w przypadku bufora terminala, a w przypadku bufora dyskowego po zinterpretowaniu ośmiu bloków tworzących jeden kadr — zgubienie ze stosu powrotów ostatniego śladu i powrót na wyższy poziom według przedostatniego śladu, a więc do procedury, która wywoływała INTERPRET — QUIT lub LOAD. Wyjście z INTERPRET i w efekcie przejście do QUIT następuje też w przypadku napotkania błędu w czasie wykonywania procedur **NUMBER** bądź **?STACK.**

W stanie realizacji liczba jest umieszczana na stosie, zaś w stanie kompilacji — kompilowana. Jeśli wśród cyfr czytanej liczby znajdowała się kropka, to jest ona traktowana jako liczba o podwójnej długości, a w zmiennej DPL zostaje zapamiętana informacja o pozycji kropki. Kompilacja liczby pojedynczej polega na zapisie w obszarze tworzonej definicji katalogowej adresu CFA słowa LIT i wartości liczby, a liczby podwójnej — na dwukrotnym wykonaniu tej czynności.

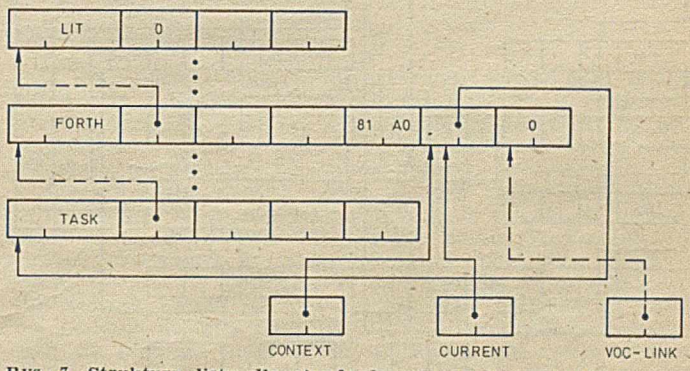


Rys. 6. Słowo null

O sposobie interpretacji znalezionego w słowniku słowa decyduje wartość zmienej STATE oraz bit poprzedzania (ang. precedence bit), czyli bit 6 w pierwszym bajcie pola NFA tego słowa. Jeśli bit ten ma wartość 1, to słowo jest „natychmiastowe" i — niezależnie od wartości STATE — jest wykonywane. Jeśli bit ten ma wartość 0, to przy STATE = C0 kompilowany jest adres CFA znalezionego słowa, zaś przy STATE = 0 słowo jest wykonywane.

LISTOWA STRUKTURA DEFINICJI KATALOGOWYCH

Wszystkie słowa FORTHA, zapisane w obszarze definicji katalogowych, zorganizowane są w postaci struktury listowej. Rysunek 7 przedstawia strukturę listy dla standardowej wersji fig-FORTHA. Pierwszym elementem listy jest LIT, ostatnim — TASK. Lista zorganizowana jest za pomocą wskaźników (zobrazowanych strzałkami). Zmienne **CONTEXT** i **CURRENT** służą do znajdowania ostatniego elementu listy, przez wykonanie sekwencji CURRENT bądź CONTEXT .



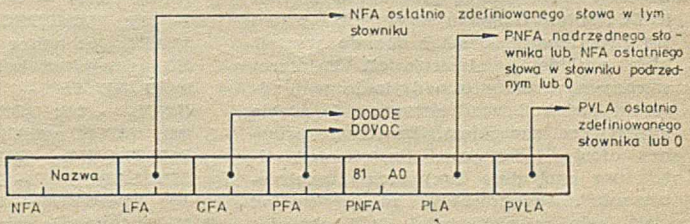
Rys. 7. Struktura listy dla standardowej wersji fig-FORTH

Słowo FORTH jest słownikiem. Strukturę definicji katalogowej będącej słownikiem przedstawiono na rysunku 8. W polu parametrów PFA wyróżniono tu trzy dwubajtowe pola:

PNFA — ang. **P**hantom **N**ame **F**ield **A**ddress
PLA — ang. **P**hantom **L**ink **A**ddress
PVLA — ang. **P**hantom **V**ocabulary **L**ink **A**ddress.

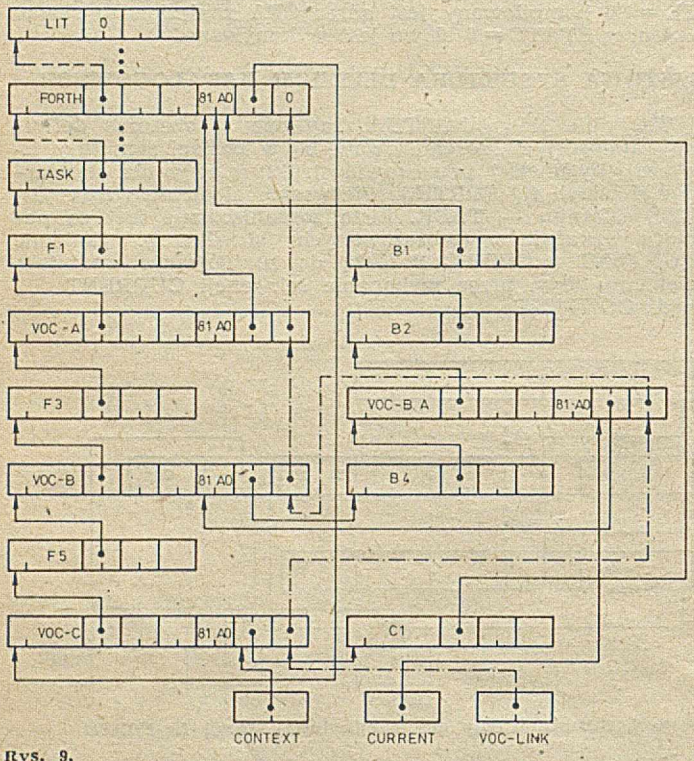
Pola PNFA i PLA tworzą „widmowe" pole nazwy i pole wskaźnika. Z punktu widzenia procedury przeszukującej słownik (-FIND), bajty 81 i A0 zapisane w polu PNFA kodują pole nazwy 1-bajtowej będącej spacją (sposób kodowania nazwy omówiono w poprzednim odcinku).

Kompilatory, czyli procedury tworzące nowe słowa (np.:, **CONSTANT**) dołączając nowe słowo do struktury listowej zawsze umieszczają je za słowem ostatnio zdefiniowanym, zapisując w polu LFA nowego słowa wskaźnik do CFA słowa dotychczas ostatniego i zmieniając wskaźnik w polu PLA słownika — tak, aby wskazywał adres CFA nowego słowa. Dzięki temu, pole PLA słownika na ogół zawiera wskaźnik do ostatniego słowa listy (patrz słowa FORTH na rysunku 7 i FORTH, VOC-C na rysunku 9).



Rys. 8. Struktura definicji katalogowej będącej słownikiem

Jak wynika z rysunku 9, listy mogą być ze sobą połączone tworząc strukturę drzewiastą. Początkiem nowej gałęzi jest zawsze słowo będące słownikiem. Po wykonaniu sekwencji {VOCABULARY nazwa} do aktualnej tworzonej listy dodawane jest słowo-słownik o podanej nazwie. Pole PLA tego słownika początkowo wskazuje pole PNFA słownika nadrzędnego (pole PLA słownika VOC-A na rysunku 9). Po dodaniu słów do nowego słownika, pole będzie wskazywało NFA ostatniego słowa nowej listy (pole PLA słownika VOC-B na rysunku 9).



Rys. 9.

Struktura przedstawiona na rysunku 9 powstała ze struktury z rysunku 7 przez wykonanie następującej sekwencji:

FORTH	CONTEXT = FORTH
DEFINITIONS	CURRENT = FORTH
: F1 ;	utworzenie F1
VOCABULARY VOC-A	utworzenie VOC-A
: F3 ;	utworzenie F3
VOCABULARY VOC-B	utworzenie VOC-B
VOC-B	CONTEXT = VOC-B
DEFINITIONS	CURRENT = VOC-B
: B1 ;	utworzenie B1
: B2 ;	utworzenie B2
VOCABULARY VOC-B.B	utworzenie VOC-B.B
: B4 ;	utworzenie B4
FORTH DEFINITIONS	CURRENT = CONTEXT = FORTH
: F5 ;	utworzenie F5
VOCABULARY VOC-C	utworzenie VOC-C
VOC-C DEFINITIONS	CURRENT = CONTEXT = VOC-C
FORTH	CONTEXT = FORTH, CURRENT = VOC-C
VOC-B	CONTEXT = VOC-B, CURRENT = VOC-C
: C1 B1 B2 B4 ;	utworzenie C1 z odwołaniami do B1, B2, B4

Taka organizacja struktury listowej ma następujące własności:

— nowe słowa dodawane są do słownika wskazywanego przez CURRENT

— przy poszukiwaniu nazwy rozpoczyna się je od słownika wskazywanego przez CONTEXT, a przy braku sukcesu — ponownie od słownika wskazywanego przez CURRENT

— wykonanie słowa-słownika powoduje wpisanie do zmiennej CONTEXT adresu PLA tego słownika

— słowo DEFINITIONS powoduje przepisanie zawartości zmiennej CONTEXT do zmiennej CURRENT

— przy przeszukiwaniu list dociera się do wszystkich gałęzi nadrzędnych, ale nie dociera się do gałęzi bocznych (np. na rysunku 9 — rozpoczynając od CONTEXT osiągnie się słowa C1 spacja VOC-C F5 VOC-B F3 VOC-A F1 TASK ... FORTH ... LIT, a od CURRENT — słowa: spacja B4 VOC-B.A B2 B1 spacja VOC-C F5 VOC-B F3 VOC-A F1 TASK ... FORTH ... LIT)

— FORTH jest słownikiem nadrzędnym w stosunku do wszystkich pozostałych.

Główną zaletą drzewiastej struktury listowej jest możliwość pisania programów bez konieczności rezerwowania dla nich unikalnych nazw procedur podrzędnych. Różne procedury, umieszczone w różnych słownikach, nie pozostające w stosunku nadrzędna-podrzędna, mogą mieć te same nazwy.

ZBIGNIEW POJMAŃSKI
Warszawa

- **Odbyło się spotkanie organizacyjne KUM.** Wyłoniono trzy podgrupy: profesjonalistów (mających coś do zaoferowania hobbystom), konstruktorów (budujących własny komputer) i programistów (posiadających mikrokomputer — najczęściej firmowy, zainteresowanych pisaniem i wymianą oprogramowania). Kontakt: Andrzej Drożniak, tel. w Warszawie: 41-26-01.
- Dzięki zasobom osób współpracujących z redakcją, jesteśmy w stanie umożliwić Czytelnikom wymianę **programów dla ZX SPECTRUM.** Dysponujemy już ponad 200 programami, chociaż nie do wszystkich posiadamy „instrukcje". Zainteresowanych prosimy o nadsyłanie pod adresem redakcji zaadresowanej do siebie koperty ze znaczkiem, koniecznie własnej oferty (programy, „instrukcje", literatura zachodnia itp.) oraz „zapotrzebowania". Przepraszamy za ewentualne opóźnienia w odpowiedzi, jeśli okazałoby się, że podobnie jak na poprzednie oferty mikroKLANU wpłynie kilkaset zgłoszeń.
- **Ceny mikrokomputerów w Wielkiej Brytanii — listopad 1984** (w funtach, z podatkiem V.A.T.): ZX81 (1K) — 30; MC-10 — 50; SORD M5 — 50; AQUARIUS 1 — 50; ATARI 600XL — 90; VIC-20 — 90; TANDY CoCo (16K) — 100; DRAGON-32 (32K) — 100; ORIC ATMOS — 100; ZX SPECTRUM (48K) — 130; AQUARIUS 2 — 130; COMMODORE 16 — 140; ZX SPECTRUM+ (nowość!) — 180; COMMODORE 64 — 200; ELECTRON ACORN — 200; MEMOTECH MTX — 240; AMSTARD (+monitor monochromatyczny) — 240, (+monitor kolorowy) — 350; COMMODORE 4+ — 250; TOSHIBA HX10 (MSX) — 280; SONY HIT BIT (MSX) — 300; SANYO MPC100 (MSX) — 300; ALPHATRONIC — 347; ACORN BBC — 400; SINCLAIR QL — 400; ADVANCE 86A — 400; EINSTEIN — 500.
- **W Budapeszcie przy ulicy Sörhaz mieści się sklep „VIDEO-COMPUTER",** w którym za forinty można nabyć mikrokomputery, m.in. firm SINCLAIR, COMMODORE i IBM. Na razie, niestety, nie dysponujemy informacjami o cenach.

OGŁOSZENIA

- **Konrad Ladach poszukuje COBOLU-80 firmy MICROSOFT (pracującego pod systemem CP/M). Gdynia, tel. grzeczności owy 21-82-74.**
- **Drukarka DZM-180 uzyskuje pełne możliwości graficzne po przeróbkach dokonywanych przez firmę MUEL (Nowogrodzka 6a m. 17, 00-513 Warszawa).**

prowadzi:
Andrzej J. Piotrowski
tel. dom. 48-22-85
tel. służb. 43-66-11 w. 98